

Patent

Customer No. 31561  
Application No.: 10/604,509  
Docket No. 10380-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

in re application of

Applicant : Yeh et al.  
Application No. : 10/604,509  
Filed : July 28, 2003  
For : SEMICONDUCTOR DEVICE AND MANUFACTURING  
METHOD THEREOF  
Examiner : Art unit: 2812

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092104352, filed on: 2003/03/03.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 8, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F.-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234**



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC-AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 03 日  
Application Date

申請案號：092104352  
Application No.

申請人：茂德科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 14 日  
Issue Date

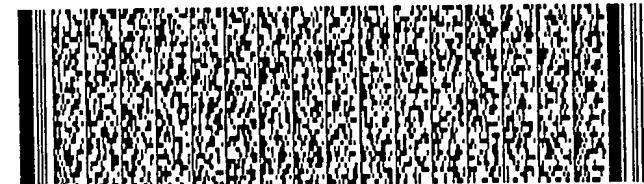
發文字號：09220822450  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	半導體元件及其製造方法
	英文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
二、 發明人 (共3人)	姓名 (中文)	1. 葉芳裕
	姓名 (英文)	1. Fang-Yu Yeh
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣桃園市瑞慶路389之1號15樓
	住居所 (英文)	1. 15F1., No. 389-1, Rueiching St., Taoyuan City, Taoyuan, Taiwan 330, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓名 (英文)	1. ProMOS Technologies Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



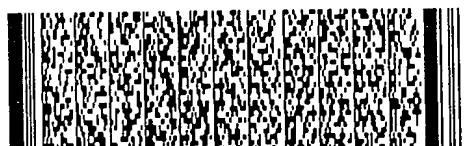
103901wef.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 發明名稱	中文	
	英文	
二 發明人 (共3人)	姓名 (中文)	2. 林騏
	姓名 (英文)	2. CHI LIN
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北市民生東路4段80巷11弄9號6樓
	住居所 (英文)	2. 6F1., No. 9, Alley 11, Lane 80, Sec. 4, Minsheng E. Rd., Taipei, Taiwan 105, R. O. C.
三 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

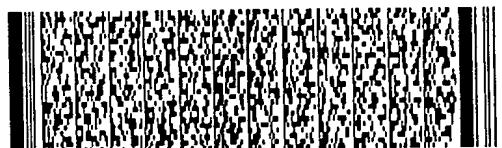


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 發明名稱	中文	
	英文	
二 發明人 (共3人)	姓名 (中文)	3. 陳俊翔
	姓名 (英文)	3. CHUANG-HSIANG CHEN
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 台北縣三重市重新路4段144巷18弄2號2樓
	住居所 (英 文)	3. 2F1., No. 2, Alley 18, Lane 144, Sec. 4, Chungshin Rd., Sanchung City, Taipei, Taiwan 241, R.O.C.
三 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一種半導體元件之製造方法，此方法係先於基底中形成井區後，於基底上形成罩幕層，再圖案化罩幕層與基底，以於基底中形成第一開口。之後，進行啟始電壓調整步驟，並於第一開口內依序形成閘極介電層、第一導體層及第二導體層，且此第二導體層填滿前述第一開口。接著，移除部分之第一導體層與第二導體層，使第一導體層與第二導體層之表面約略低於基底表面，而形成第二開口。之後，於第二開口中形成頂蓋層，並移除罩幕層。再於第一導體層兩側之基底中形成源極/汲極區，並於基底上形成內層介電層。接著，以頂蓋層為自行對準罩幕，於內層介電層中形成接觸窗開口。

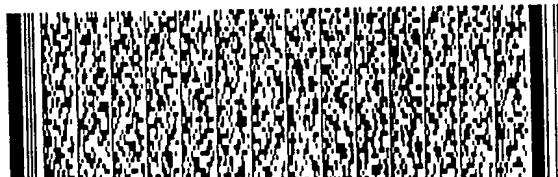
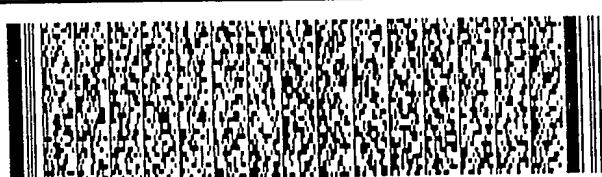
伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

300：基底

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

A manufacturing method of semiconductor device comprises the steps as following. After a well region is formed in the substrate, a mask layer is formed on the substrate and the mask layer and the substrate is patterned to form a first opening in the substrate. The a threshold voltage adjust step is performed and then a gate dielectric layer, a first conductive layer and a second conductive



四、中文發明摘要 (發明名稱：半導體元件及其製造方法)

302、314：開口

304：介電層

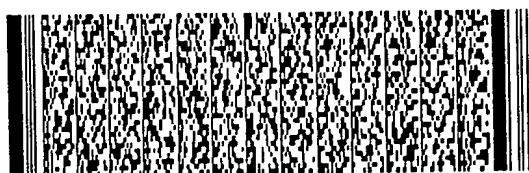
306、308：導體層

310：頂蓋層

312：源極/汲極區

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

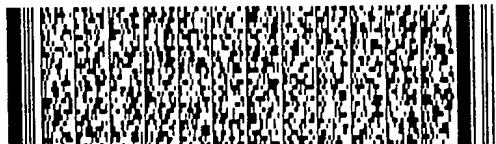
layer is formed in the first opening sequentially, the first opening is filled with the second conductive layer. A part of the first conductive layer and the second conductive layer is removed until the surface of the first conductive layer and the second conductive layer lower than the surface of substrate to form a second opening. A cap layer is formed in the second opening, and the



四、中文發明摘要 (發明名稱：半導體元件及其製造方法)

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

mask layer is removed. A source/drain regions is formed in the substrate beside the first conductive layer and then an inter-layer dielectric layer is formed no the substrate. A contact hole is formed in the inter-layer dielectric layer with the cap layer is served as a self-aligned mask.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### [發明所屬之技術領域]

本發明是有關於一種積體電路的製造方法，且特別是有關於一種半導體元件及其製造方法。

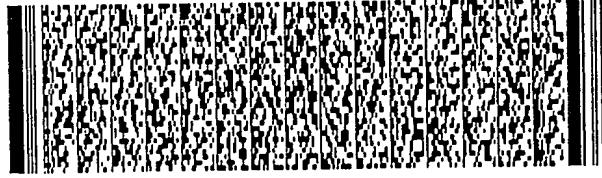
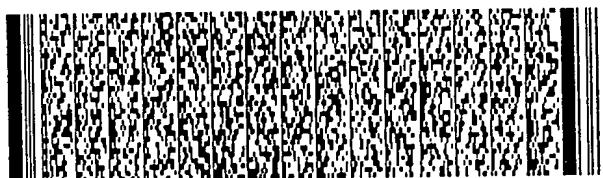
### [先前技術]

在深次微米的積體電路技術中，隨著元件積集度提高，在線寬、接觸面積及接面深度等都逐漸縮小的情形下，為了能有效地提高元件的效能，降低電阻並減少電阻及電容所造成的信號傳遞延遲(RC-Delay)，因此在製作半導體元件時，通常在閘極的多晶矽層上形成耐熱金屬矽化物(Refractory Metal Silicide)層，此多晶矽層與耐熱金屬矽化物層合稱為多晶矽化金屬閘極(Polygate)。在各種耐熱金屬矽化物中，使用最為廣泛者即是矽化鎢(Tungsten Silicide, WSix)，而由多晶矽層與矽化鎢層構成的閘極則稱為「多晶矽化鎢閘極」。習知多晶矽化鎢閘極的製造方法如下：

首先，請參照第1A圖，提供基底100，並於此基底100上形成閘極介電層102。接著於閘極介電層110上形成摻雜多晶矽層104。

接著，請參照第1B圖，以於多晶矽層104上形成一層多鎢矽化鎢層106(Tungsten-Rich WSix,  $x < 2.3$ )後，再於矽化鎢層106上形成材質為氮化矽之一層頂蓋層108。之後，於頂蓋層108上形成一圖案化光阻層110。

接著，請參照第1C圖，以圖案化光阻層110為罩幕，依序蝕刻頂蓋層108、矽化鎢層106、多晶矽層104與閘



## 五、發明說明 (2)

化層102，以形成一閘極堆疊結構112。

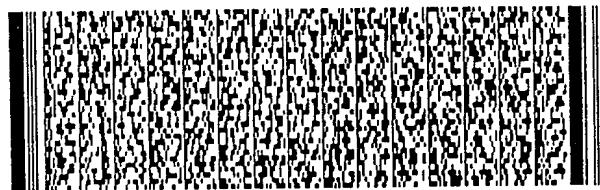
之後，請參照第1D圖，進行一熱氧化(Thermal Oxidation)製程，以於閘極堆疊結構112之側壁形成氧化矽襯墊層114(Liner)。接著，於閘極堆疊結構112之側壁形成氮化矽保護壁116。

然而，在上述的多晶矽化鎢閘極的製造方法中，由於在閘極堆疊結構112形成後，會使矽化鎢層106暴露出來，因此在進行熱氧化製程時，此矽化鎢層106會與氧氣反應生成的氧化鎢(Tungsten oxide)。而且，在高溫熱製程，如熱回火(Thermal Annealing)製程、熱氧化製程等，矽化鎢層106會因相變化(Phase Transition)而產生側面凸起(Lateral Extrusion)(如第1D圖所示)。在線寬越來越小的趨勢下，這些凸起可能在後段製程中使得閘極與接觸窗(Contact)導電部分短路，而影響元件效能。

習知避免矽化鎢層產生凸起之方法係為提高矽化鎢中矽的含量，亦即形成多矽矽化鎢層(Silicon-Rich WSix, x?2.3)，然而提高矽化鎢中矽之含量會使閘極之片電阻上升。於是，為了維持閘極之片電阻，而增加矽化鎢層之厚度，卻又會使得閘極的高寬比增加，而導致在後續閘極蝕刻及自行對準接觸窗(Self-Aligned Contact, SAC)蝕刻的困難度提高。

### [發明內容]

有鑑於此，本發明之一目的在於提供一種半導體元件及其製造方法，可以在形成多矽矽化鎢層之同時，避免金



## 五、發明說明 (3)

屬矽化物產生側面凸起之問題，而可以增加元件之積集度，並提升元件效能。

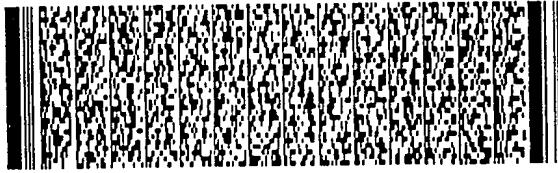
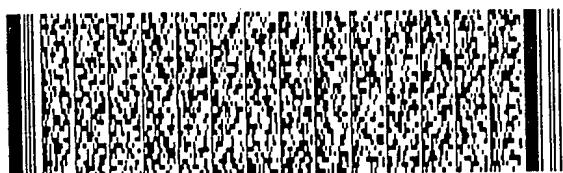
本發明之另一目的在於提供一種半導體元件及其製造方法，以降低熱預算(Thermal Budget)。

本發明之再一目的在於提供一種半導體元件及其製造方法，以降低高寬比(Aspect Ratio)，並提高較大的接觸窗蝕刻製程裕度(Contact Etch Process Window)，增加製程裕度。

本發明之再一目的在於提供一種半導體元件及其製造方法，以得到較佳之短通道元件特性。

本發明提供一種半導體元件之製造方法，此方法係先於基底中形成井區後，於基底上形成罩幕層，再圖案化罩幕層與基底，以於基底中形成第一開口。之後，進行啟始電壓調整步驟，並於第一開口內形成閘極介電層，再於基底上依序形成第一導體層及第二導體層，且此第二導體層填滿前述第一開口。接著，移除第一開口以外之第一導體層與第二導體層，直到暴露罩幕層。然後，移除部分之第一導體層與第二導體層，使第一導體層與第二導體層之表面約略低於基底表面，而形成第二開口。之後，於第二開口中形成頂蓋層，並移除罩幕層。再於第一導體層兩側之基底中形成源極/汲極區，並於基底上形成內層介電層。接著，以頂蓋層為自行對準罩幕，於內層介電層中形成接觸窗開口。

在上述半導體元件之製造方法中，於基底上形成罩幕



## 五、發明說明 (4)

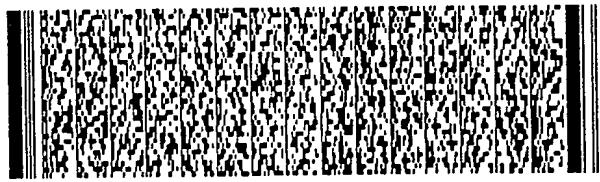
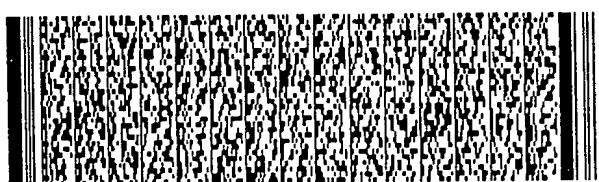
層之步驟之後更包括於罩幕層上形成底層抗反射層。而且，於圖案化罩幕層與基底，以於基底中形成第一開口之步驟中更包括圖案化此底層抗反射層。而且，第一導體層之材質為摻雜多晶矽，第二導體層之材質耐熱金屬矽化物。再者，罩幕層之材質包括與第一導體層、第二導體層、頂蓋層具有不同蝕刻選擇性者。

在本發明中，利用摻雜多晶矽層包覆耐熱金屬矽化物層，且將摻雜多晶矽層與耐熱金屬矽化物層形成於基底中，如此則可防止耐熱金屬矽化物產生側面凸起，並且能夠使用多矽矽化鎢來降低電阻，而提高元件之效能。

而且，摻雜多晶矽層與耐熱金屬矽化物層係形成於基底中，因此不需要形成氮化矽保護壁，且在形成接觸窗開口時，接觸窗開口之高寬比縮小了，於是就可以提升後續自行對準接觸窗蝕刻的製程容許範圍，而能夠增加製程裕度。

再者，藉由調整源極/汲極區之植入深度，即可增加通道長度或具有淺接面(Shallower Junction)之效果。

本發明另外提供一種半導體元件之製造方法，此方法係於基底中形成井區後，於基底上形成罩幕層，並圖案化罩幕層、基底，以於基底中形成開口。接著，進行啟始電壓調整步驟，並於開口內之基底上形成閘極介電層，並於基底上依序形成多晶矽層及耐熱金屬矽化物層，且此耐熱金屬矽化物層填滿此開口。之後，移除開口以外之多晶矽層與耐熱金屬矽化物層，直到暴露罩幕層，並移除部分多



## 五、發明說明 (5)

晶矽層與耐熱金屬矽化物層，使多晶矽層與耐熱金屬矽化物層之表面低於基底表面，而於基底中形成多晶矽化金屬閘極結構。接著，於開口內形成頂蓋層，並移除罩幕層。之後，於多晶矽化金屬閘極結構兩側之基底中形成源極/汲極區。

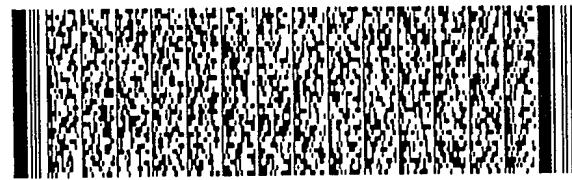
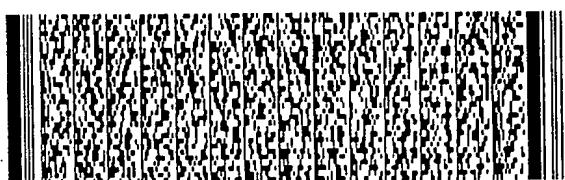
在上述半導體元件之製造方法中，於基底上形成罩幕層之步驟之後，更包括於罩幕層上形成底層抗反射層。另外，於圖案化罩幕層與基底，以於基底中形成第一開口之步驟中更包括圖案化底層抗反射層。而且，罩幕層之材質包括與多晶矽層、耐熱金屬矽化物層、頂蓋層具有不同蝕刻選擇性者。

在本發明中，利用多晶矽層包覆耐熱金屬矽化物層，且將多晶矽層與耐熱金屬矽化物層形成於基底中，如此則可防止耐熱金屬矽化物產生側面凸起，並且能夠使用多矽化鎢來降低電阻，而提高元件之效能。

而且，摻雜多晶矽層與耐熱金屬矽化物層係形成於基底中，因此不需要形成氮化矽保護壁，且在形成接觸窗開口時，接觸窗開口之高寬比縮小了，於是就可以提升後續自行對準接觸窗蝕刻的製程容許範圍，而能夠增加製程裕度。

再者，藉由調整源極/汲極區之植入深度，即可增加通道長度或具有淺接面之效果。

本發明再提供一種半導體元件，此元件是由具有開口的基底、設於開口內之介電層、設置於介電層上的第一導



## 五、發明說明 (6)

體層、設置於開口中且填滿開口的第二導體層、設置於第一導體層與第二導體層上的頂蓋層以及設置於第一導體層兩側之基底中的源極/汲極區所構成。

在上述半導體元件之結構中，第二導體層為耐熱金屬矽化物，第一導體層為摻雜多晶矽。利用摻雜多晶矽層包覆耐熱金屬矽化物層，且將摻雜多晶矽層與耐熱金屬矽化物層設置於基底中，如此則可防止耐熱金屬矽化物產生側面凸起，並且能夠使用多矽矽化鎢來降低電阻，而提高元件之效能。

而且，摻雜多晶矽層與耐熱金屬矽化物層係設置於基底中，因此不需要形成氮化矽保護壁，且後續形成之接觸窗開口之高寬比縮小了，於是就可以提升後續自我對準接觸窗蝕刻的製程容許範圍，並且能夠提升製程裕度。

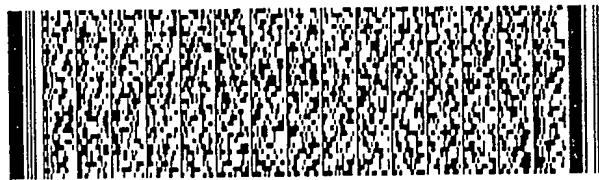
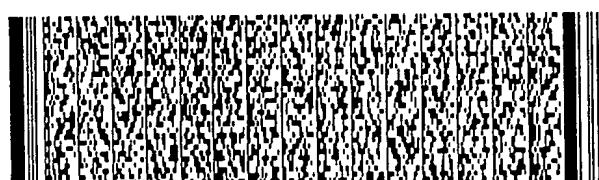
再者，藉由調整源極/汲極區之深度，即可增加通道長度或具有淺接面之效果。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### [實施方式]

第2A圖至第2I圖為繪示本發明較佳實施例之一種半導體元件之製造流程剖面圖。

首先，請參照第2A圖，提供一基底200，此基底200例如是矽基底。於此基底200中形成一井區(未圖示)，井區之形成步驟例如是利用離子植入法於基底200中植入摻質



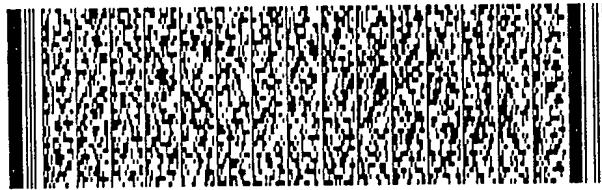
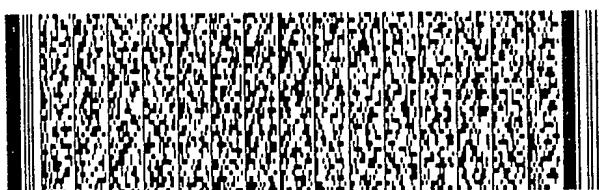
## 五、發明說明 (7)

後，進行熱製程以形成之。接著，依序於半導體基底200上形成一層罩幕層202與一層底層抗反射層204。罩幕層202之材質包括與後續形成之摻雜多晶矽、耐熱金屬矽化合物、頂蓋層具有不同蝕刻選擇性者，其例如是二氧化矽或是以四乙基氧矽烷(Tetra-Ethyl-Ortho-Silicate, TEOS) / 臭氧( $O_3$ )為反應氣體源利用化學氣相沈積法所形成之氧化矽。底層抗反射層204之材質例如是氮氧化矽(Silicon-Oxy-Nitride,  $SiO_xN_y$ )，其形成方法例如是電漿增進化學氣相沈積法(Plasma-Enhanced Chemical Vapor Deposition, PECVD)。

請參照第2B圖，於底層抗反射層204上形成一層圖案化光阻層206，然後以圖案化光阻層206為罩幕，蝕刻底層抗反射層204、罩幕層202及部分基底200，而於基底200中形成開口208。其中，蝕刻底層抗反射層204、罩幕層202及部分基底200之方法包括乾式蝕刻法，其例如是反應性離子蝕刻法。

請參照第2C圖，移除圖案化光阻層206後，進行濕式清洗製程，移除殘留於開口208之底部周圍的基底200表面上的殘留物。在此濕式清洗製程中所使用之清洗液例如是硫酸/過氧化氫混合溶液(Sulfuric-Peroxide Mixture, SPM)與稀釋氫氟酸(Diluted HF, DHF)。

接著，進行啟始電壓調整步驟，於開口208底部之基底200植入摻質，以調整後續形成之半導體元件之啟始電壓。然後，於開口208底部周圍之基底200上形成一層閘極



## 五、發明說明 (8)

介電層210。閘極介電層210之材質例如是氧化矽(Silicon Oxide)，其形成方法例如是熱氧化法。當然，閘極介電層210之材質也可以是其他介電材料，如氮氧化矽、氮化矽等。

之後，於基底200上形成一層導體層212，此導體層212並未填滿開口208。導體層212之材質例如是摻雜多晶矽，導體層212之形成方法例如是低壓化學氣相沈積法。

接著，於基底200上形成至少填滿開口208之一層導體層214。導體層214之形成方法例如是低壓化學氣相沈積法。此導體層214之材質包括耐熱金屬矽化物，且耐熱金屬矽化物例如是矽化鎢、矽化鎳、矽化鈷、矽化鈦、矽化鉬、矽化鉑、矽化鈀等。在本實施例中係以矽化鎢為實例做說明，所形成的矽化鎢( $WSi_x$ ， $x < 2.3$ )，又稱為多鎢矽化鎢(Tungsten-Rich Tungsten Silicide)。

請參照第2D圖，移除開口208以外之部分導體層212、214，直到暴露出底層抗反射層204之表面，而只留下開口208內部之導體層212、214。移除開口208以外之部分導體層212、214之方法例如是化學機械研磨法。

請參照第2E圖，回蝕刻開口208內之導體層212、214，使導體層212、214之表面略低於基底200之表面218而形成開口216。另外，也可以視實際狀況之需要，而使導體層212、214之表面與基底200之表面218位於同一水平線上。於此步驟中，底層抗反射層204會同時被移除。

接著，於開口216內形成頂蓋層220。頂蓋層220之材

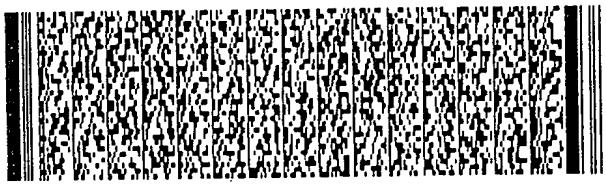
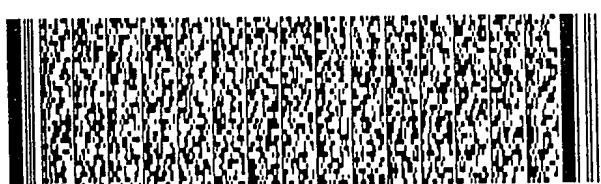
## 五、發明說明 (9)

質例如是氮化矽。頂蓋層220之形成步驟例如是先以化學氣相沈積法形成一層氮化矽層後，利用化學機械研磨法移除開口216以外之氮化矽層直到暴露出罩幕層202之表面。

請參照第2G圖，移除基底200上之罩幕層202以形成閘極結構222，其中閘極結構222係由閘極介電層210、導體層212、214及頂蓋層220所構成。罩幕層202之移除方法例如是濕式蝕刻法，係以氫氟酸(HF)與氟化氨(NH<sub>4</sub>F)之混合溶液(Buffered Oxide Etchant, BOE)作為蝕刻劑。之後，於基底200上形成襯墊層224。襯墊層224之材質例如是氮氧化矽，其形成方法例如是低壓化學氣相沈積法。

接著，進行離子植入步驟，以於閘極結構222兩側之基底200中形成源極/汲極區226。在此步驟中，當離子植入之劑量、能量較小時，所形成之源極/汲極區226之深度較淺，如此，可以增加從源極區至汲極區之間的通道長度(如圖所示之虛線路徑)。而當離子植入之劑量、能量較大時，則所形成之源極/汲極區226之深度較深，當源極/汲極區226之深度低於開口208之底部時，則可以低於開口208之底部的源極/汲極區226部分作為實際之源極/汲極區，並以高於開口208之底部的源極/汲極區226部分作為接觸窗，如此可以形成淺接面源極/汲極區，而提高元件之效能。

請參照第2H圖，於基底200上形成一層內層介電層(Interlayer Dielectric)228。此內層介電層228之材質例如是二氧化矽。其形成方法例如是化學氣相沈積法。

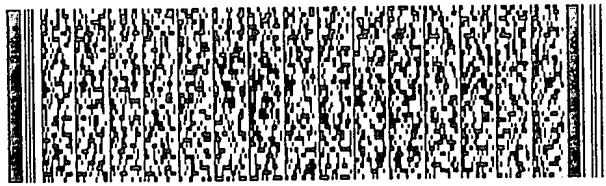
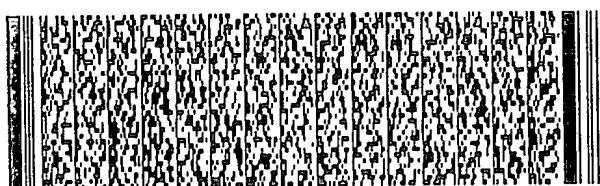


## 五、發明說明 (10)

請參照第2I圖，於內層介電層228上形成一層圖案化光阻層（未圖示），再以此圖案化光阻層為罩幕，並以頂蓋層220為自行對準罩幕，移除部分內層介電層228，而於內層介電層228中形成接觸窗開口230，且此接觸窗開口230係暴露出源極/汲極區226。後續完成半導體元件之製程，例如接觸窗(Contact)等製程，為習知技術者所周知，在此不再贅述。

如上所述，在本發明較佳實施例之半導體元件的製造方法中，由於如矽化鎢層等的耐熱金屬矽化物層（導體層214）係以摻雜多晶矽層（導體層212）包覆住，如此即能避免矽化鎢層（耐熱金屬矽化物層）與氧接觸而發生氧化反應，並進而防止矽化鎢層（耐熱金屬矽化物層）在高溫熱製程中產生凸起，因此使閘極結構具有良好的輪廓，因而可以提升後續自我對準接觸窗蝕刻的製程容許範圍，並且可以使用多鎢矽化物來降低電阻，而提高元件之效能。

此外，在本發明較佳實施例之半導體元件的製造方法中，由於導體層212、214皆埋於基底200之開口208內，因此可以大幅降低閘極結構222之突出基底200之表面218之高度，進而可以降低後續內層介電層228之厚度。因而後續形成接觸窗開口230時，具有較低之高寬比，而可進一步提升後續自我對準接觸窗蝕刻的製程容許範圍。再者，由於導體層212、214係埋於基底中，因此導體層212、214不會受到蝕刻接觸窗開口230時之蝕刻劑的蝕刻，故不需形成用以防止導體層212、214之側壁受到蝕刻的氮化矽保



## 五、發明說明 (11)

護壁，並可更進一步提升後續自我對準接觸窗蝕刻的製程容許範圍。

另外，在本發明較佳實施例之半導體元件的製造方法中，可藉由改變源極/汲極區226之離子植入劑量、能量，而調整源極/汲極區226之深度，如此，可以視實際之需要增加通道長度或形成淺接面，並提高元件之效能。

本發明之上述實施例係以製作閘極結構為實例做說明，當然本發明之方法並不是只限於製作閘極結構，而可以應用在其他的半導體元件的製程中，例如製作記憶體元件之字元線、記憶體元件之閘極、金氧半導體電晶體、金屬內連線等。

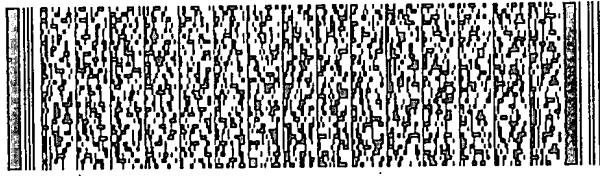
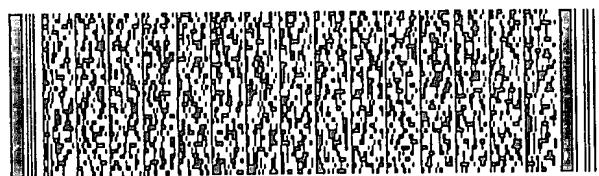
第3圖為繪示本發明較佳實施例之一種半導體元件之結構剖面圖。

請參照第3圖，本發明之半導體元件之結構係由具有一開口302的基底300、介電層304、導體層306、導體層308、頂蓋層310與源極/汲極區312所構成。

介電層304係設置於基底300之開口302之側壁上，介電層304之材質係選自氧化矽、氮氧化矽。

導體層306設置於介電層304上且位於開口302內，此導體層306具有一開口314，其中該導體層306截面呈U字形，導體層306之材質包括摻雜多晶矽。

導體層308設置於導體層306之開口314中，其材質例如是耐熱金屬矽化物包括矽化鎢、矽化鎳、矽化鈷、矽化鈦、矽化鉬、矽化鉑、矽化鈀等。



## 五、發明說明 (12)

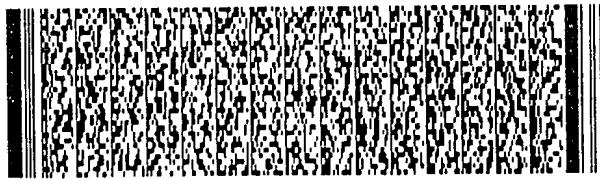
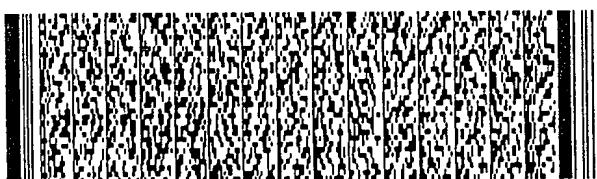
頂蓋層310 設置於導體層306 與導體層308 上，頂蓋層310 之材質例如是氮化矽。

源極/汲極區312，設置於導體層306 兩側之基底300 中，源極/汲極區312 之接面係高於開口302 之底部。

第4圖為繪示本發明較佳實施例之另一種半導體元件之結構剖面圖。第4圖中之構件與第3圖之構件相同者給予相同之標號，並省略其詳細說明。第4圖與第3圖之半導體元件之差異在於源極/汲極區312 接面係略低於開口302 之底部。而且源極/汲極區312 可區分成接觸窗區316 與源極/汲極淺接面區318。藉由源極/汲極區312 之離子植入劑量的調整，即可將源極/汲極淺接面區318 部分之厚度調整至相當薄，而可具有較佳之淺接面效果，並提高元件之效能。

如上所述，在本發明較佳實施例之半導體元件中，由於耐熱金屬矽化物層(導體層308)係以摻雜多晶矽層(導體層306)包覆住，且將摻雜多晶矽層(導體層306)與耐熱金屬矽化物層(導體層308)形成於基底中，如此則不需要氮化矽保護壁，並可避免矽化鎢層(導體層308)與氧接觸而發生氧化反應，並進而防止矽化鎢層(導體層308)在高溫熱製程中產生側面凸起，因此使導體堆疊結構具有良好的輪廓，因而可以提升後續自我對準接觸窗蝕刻的製程容許範圍，並且可以使用多鎢矽化物來降低電阻，而提高元件之效能。

再者，藉由調整源極/汲極區之深度，即可增加通道

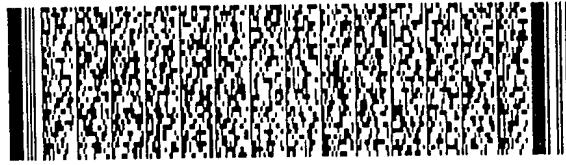


### 五、發明說明 (13)

長度或具有淺接面之效果。由於摻雜多晶矽層(導體層306)與耐熱金屬矽化物層(導體層308)係形成於基底中，因而可以降低元件之高寬比，並增加接觸窗蝕刻製程容許範圍。

當然，耐熱金屬矽化物層(導體層308)也可以突出多晶矽層(導體層306)之開口314，亦即多晶矽層(導體層306)並未完全包覆耐熱金屬矽化物層(導體層308)之側壁，而使耐熱金屬矽化物層(導體層308)上部分側壁被頂蓋層310覆蓋住。由於，頂蓋層310之材質例如是氮化矽其與一般的內層介電層如氧化矽、硼磷矽玻璃等具有不同蝕刻選擇性，且可作為後續形成接觸窗時之蝕刻終止層，而且導體層308仍埋於基底300中，因此可以避免閘極與接觸窗導電部分產生短路。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1D圖所繪示為習知一種多晶矽化鎢閘極結構的製造方法流程剖面圖。

第2A圖至第2I圖所繪示為本發明較佳實施例之半導體元件的製造方法流程剖面圖。

第3圖所繪示為本發明之半導體元件剖面圖。

第4圖所繪示為本發明之半導體元件剖面圖。

[圖式標示說明]

100、200、300：基底

102、210：閘極介電層

104：多晶矽層

106：矽化鎢層

108、220、310：頂蓋層

110、206：圖案化光阻層

112、222：閘極結構

114、224：襯墊層

116：氮化矽保護壁

202：罩幕層

204：底層抗反射層

208、216、302、314：開口

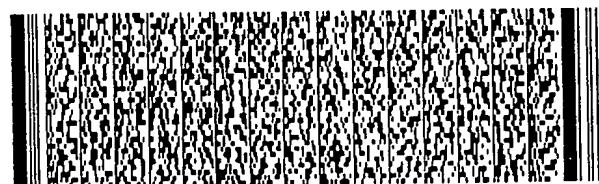
212、214、306、308：導體層

218：表面

226、312：源極/汲極區

228：內層介電層

230：接觸窗開口

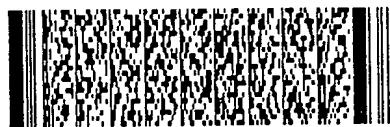


圖式簡單說明

304：介電層

316：接觸窗區

318：源極/汲極淺接面區



## 六、申請專利範圍

1. 一種半導體元件之製造方法，包括下列步驟：

提供一基底；

於該基底中形成一井區；

於該基底上形成一罩幕層；

圖案化該罩幕層與該基底，以於該基底中形成一第一開口；

進行一啟始電壓調整步驟；

於該第一開口內依序形成一閘極介電層、一第一導體層及一第二導體層，且該第二導體層填滿該第一開口；

移除部分之該第一導體層與該第二導體層，使該第一導體層與該第二導體層之表面約略低於該基底表面，而形成一第二開口，；

於該第二開口中形成一頂蓋層；

移除該罩幕層；

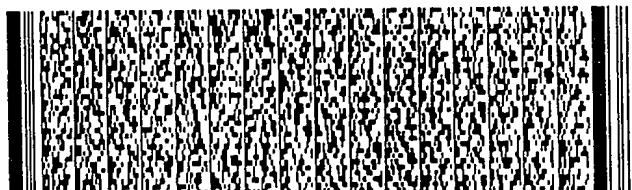
於該第一導體層兩側之該基底中形成一源極/汲極區；

於該基底上形成一內層介電層；以及

以該頂蓋層為自行對準罩幕，於該內層介電層中形成一接觸窗開口。

2. 如申請專利範圍第1項所述之半導體元件之製造方法，其中於該基底上形成該罩幕層之步驟之後更包括於該罩幕層上形成一底層抗反射層。

3. 如申請專利範圍第2項所述之半導體元件之製造方法，其中於該圖案化該罩幕層與該基底，以於該基底中形



## 六、申請專利範圍

成該第一開口之步驟中更包括圖案化該底層抗反射層。

4. 如申請專利範圍第1項所述之半導體元件之製造方法，其中該第一導體層包括多晶矽。

5. 如申請專利範圍第1項所述之半導體元件之製造方法，其中該第二導體層包括耐熱金屬矽化物。

6. 如申請專利範圍第1項所述之半導體元件之製造方法，其中該罩幕層之材質包括與該第一導體層、該第二導體層、該頂蓋層具有不同蝕刻選擇性者。

7. 一種半導體元件之製造方法，包括下列步驟：

提供一基底；

於該基底上形成一罩幕層；

圖案化該罩幕層、該基底以於該基底中形成一開口；

於該開口內之該基底上形成一閘極介電層；

於該開口內形成一多晶矽層；

於該多晶矽層上形成一耐熱金屬矽化物層，且該耐熱金屬矽化物層填滿該開口；

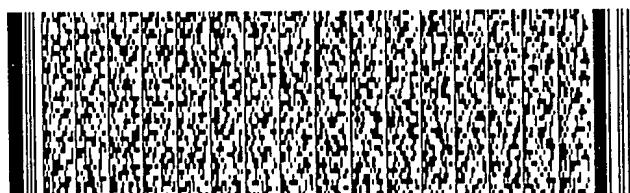
移除該開口以外之該多晶矽層與該耐熱金屬矽化物層，直到暴露該罩幕層；

移除部分之該多晶矽層與該耐熱金屬矽化物層，使該多晶矽層與該耐熱金屬矽化物層之表面低於該基底表面，而於該基底中形成一多晶矽化金屬閘極結構；

於該開口內形成一頂蓋層；

移除該罩幕層；以及

於該些多晶矽化金屬閘極結構兩側之該基底中形成一



六、申請專利範圍

源極/汲極區。

8. 如申請專利範圍第7項所述之半導體元件之製造方法，其中於該基底上形成該罩幕層之步驟之後更包括於該罩幕層上形成一底層抗反射層。

9. 如申請專利範圍第8項所述之半導體元件之製造方法，其中於該圖案化該罩幕層與該基底，以於該基底中形成該第一開口之步驟中更包括圖案化該底層抗反射層。

10. 如申請專利範圍第7項所述之半導體元件之製造方法，其中於該開口中之該基底上形成該閘極介電層之方法包括熱氧化法。

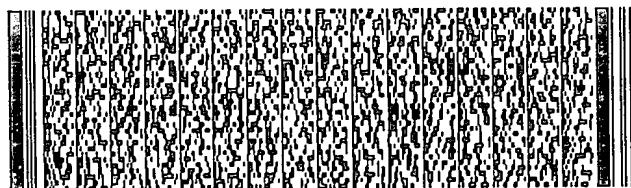
11. 如申請專利範圍第7項所述之半導體元件之製造方法，其中該罩幕層之材質包括與該多晶矽層、該耐熱金屬矽化物層、該頂蓋層具有不同蝕刻選擇性者。

12. 如申請專利範圍第7項所述之半導體元件之製造方法，其中該耐熱金屬矽化物層係選自矽化鎢、矽化鎳、矽化鈷、矽化鈦、矽化鉬、矽化鉑及矽化鈀其中之一。

13. 如申請專利範圍第7項所述之半導體元件之製造方法，其中移除該些第一開口以外之該多晶矽層與該耐熱金屬矽化物層，直到暴露該罩幕層之方法包括化學機械研磨法。

14. 如申請專利範圍第7項所述之半導體元件之製造方法，其中於該基底上形成該罩幕層之步驟之前更包括於該基底中形成一井區。

15. 如申請專利範圍第7項所述之半導體元件之製造方



## 六、申請專利範圍

法，其中於圖案化該罩幕層、該基底以於該基底中形成該開口之步驟後與於該開口內之該基底上形成該閘極介電層之步驟前更包括進行一啟始電壓調整步驟。

16. 一種半導體元件，包括：

一基底，該基底具有一開口；

一介電層，設置於該開口內；

一第一導體層，設置於該開口中之該介電層上；

一第二導體層，設置於該第一導電層上並填滿該開口；

一頂蓋層，設置於該第一導體層與該第二導體層上；  
以及

一源極/汲極區，設置於該第二導體層兩側之該基底中。

17. 如申請專利範圍第16項所述之半導體元件，其中該第一導體層呈U字形。

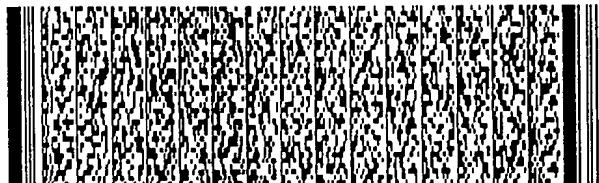
18. 如申請專利範圍第16項所述之半導體元件，其中該第二導體層包括耐熱金屬矽化物。

19. 如申請專利範圍第16項所述之半導體元件，其中該第一導體層包括摻雜多晶矽。

20. 如申請專利範圍第16項所述之半導體元件，其中該源極/汲極區之接面高於該開口底部。

21. 如申請專利範圍第16項所述之半導體元件，其中該源極/汲極區之接面約略低於該開口底部。

22. 如申請專利範圍第16項所述之半導體元件，其中



## 六、申請專利範圍

包括一井區，設置於該基底中。

23. 如申請專利範圍第16項所述之半導體元件，其中包括該開口底部之該基底經過啟始電壓調整。

24. 一種半導體元件，包括：

一基底；

一多晶矽化金屬閘極結構，設置於該基底內，且該多晶矽化金屬閘極結構包括呈U字形之一多晶矽層與被該多晶矽層包覆之一耐熱金屬矽化物層；

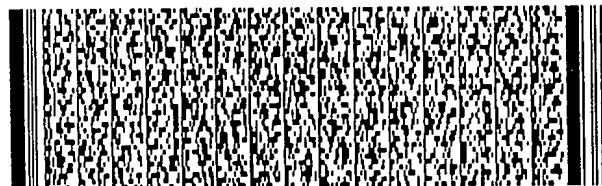
一介電層，設置於該基底與該多晶矽化金屬閘極結構之間；

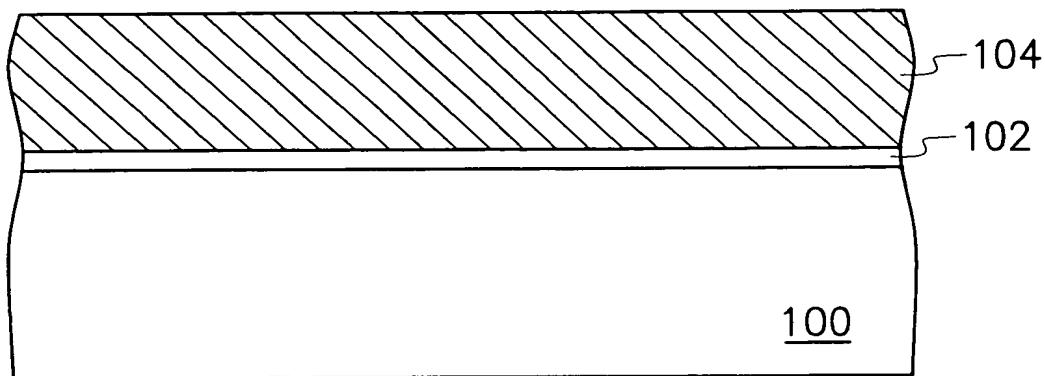
一頂蓋層，設置於該多晶矽化金屬閘極結構上；以及一源極/汲極區，設置於該多晶矽化金屬閘極結構兩側之該基底中。

25. 如申請專利範圍第24項所述之半導體元件，其中該耐熱金屬矽化物層之材質係選自矽化鎢、矽化鎳、矽化鈷、矽化鈦、矽化鉬、矽化鉑及矽化鈀其中之一。

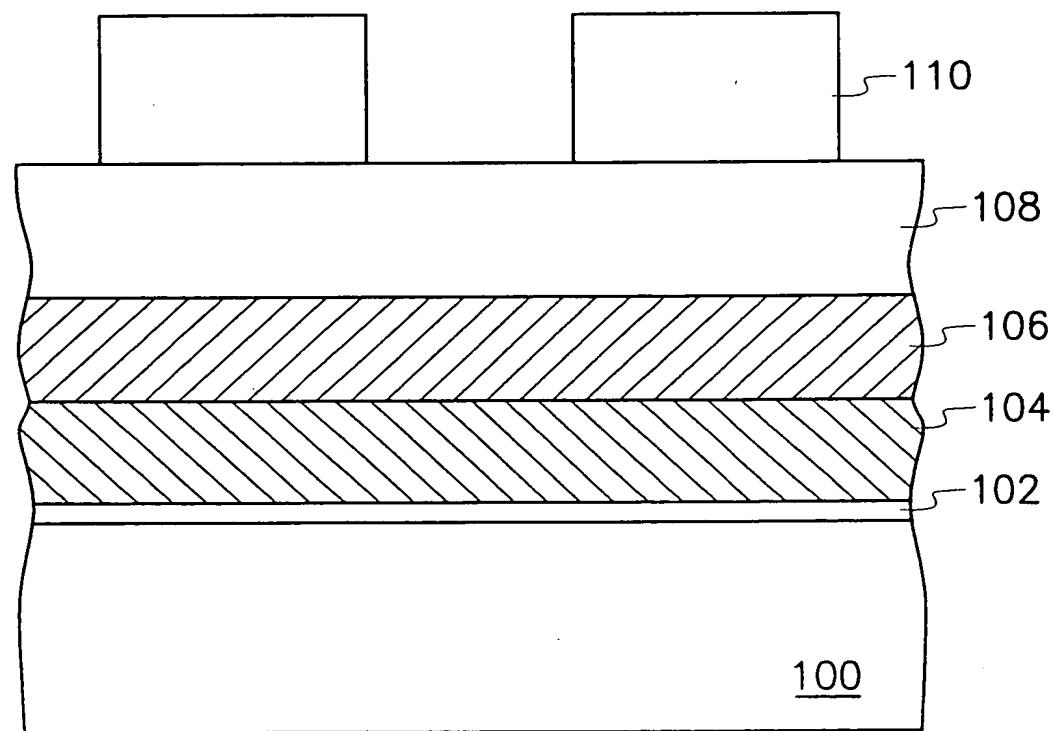
26. 如申請專利範圍第24項所述之半導體元件，其中該源極/汲極區之接面高於該多晶矽化金屬閘極結構底部。

27. 如申請專利範圍第24項所述之半導體元件，其中該源極/汲極區之接面約略低於該多晶矽化金屬閘極結構底部。

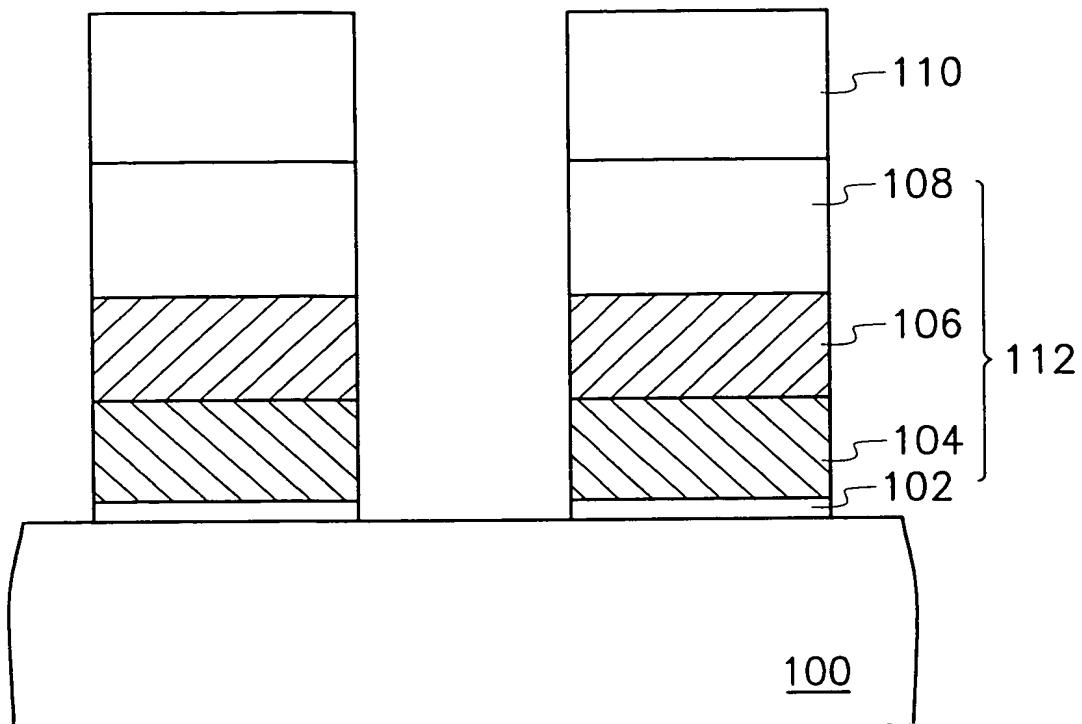




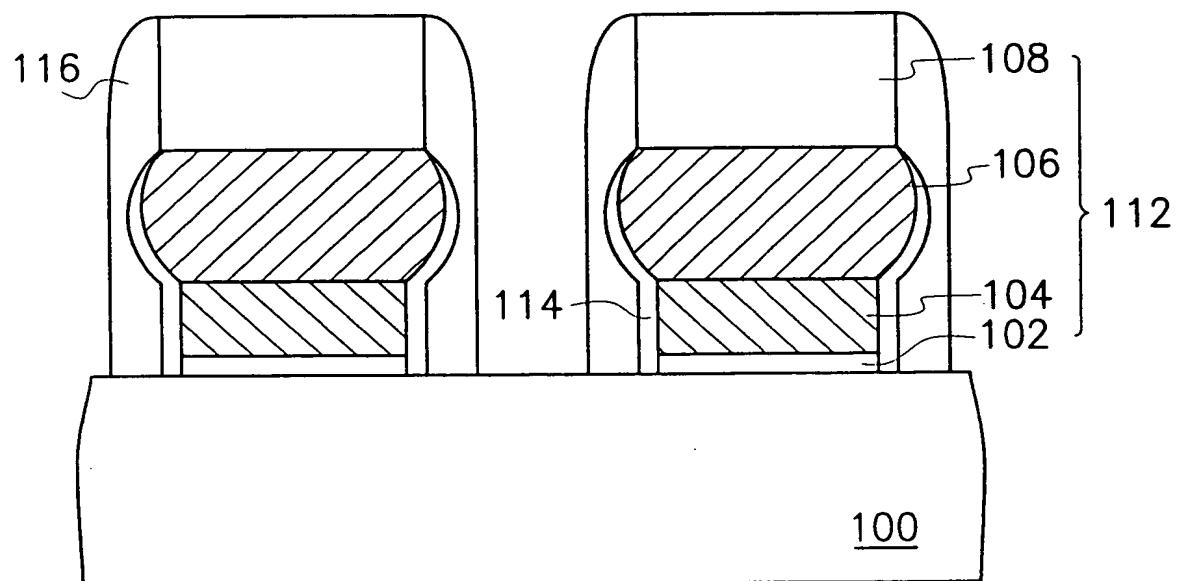
第 1A 圖



第 1B 圖

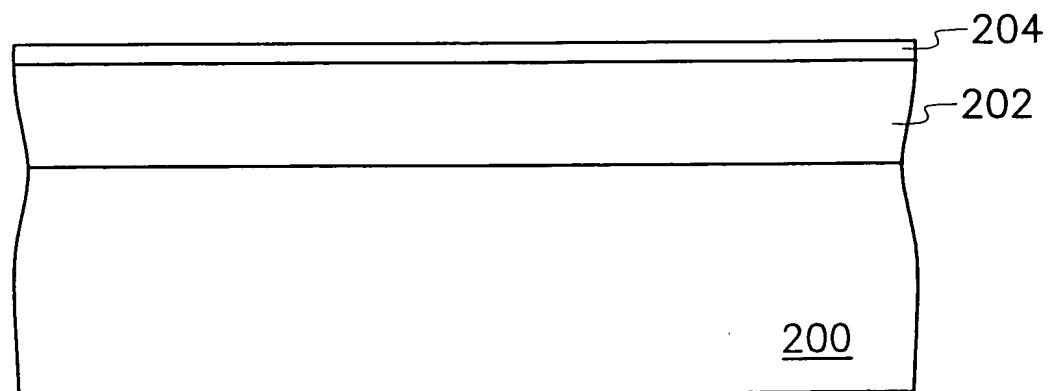


第 1C 圖

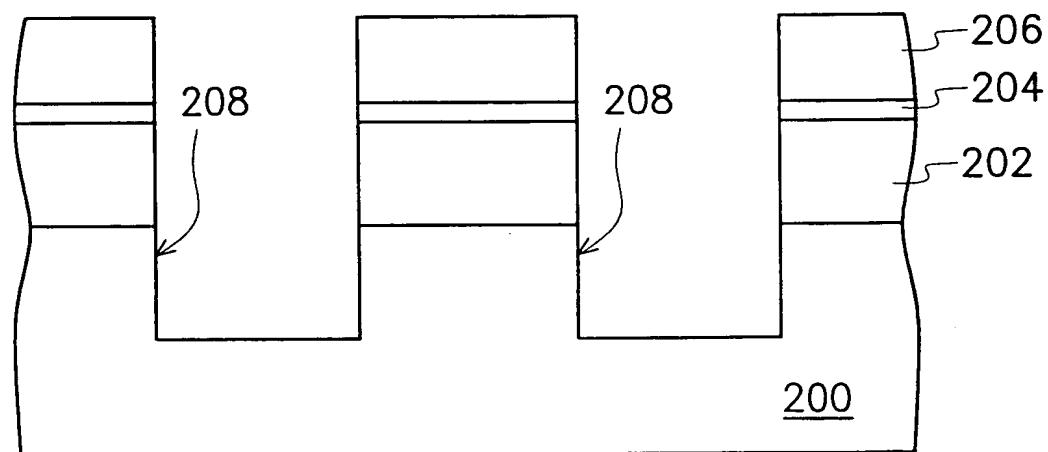


第 1D 圖

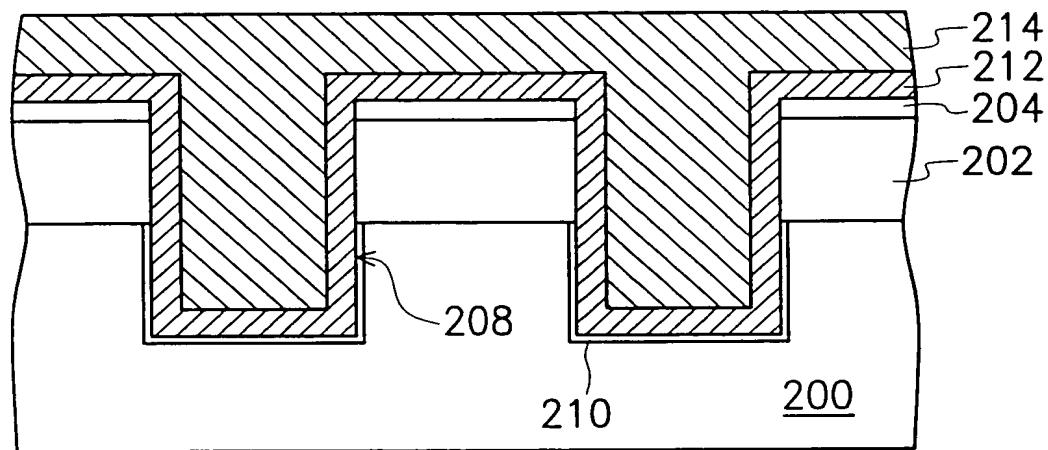
10380TW



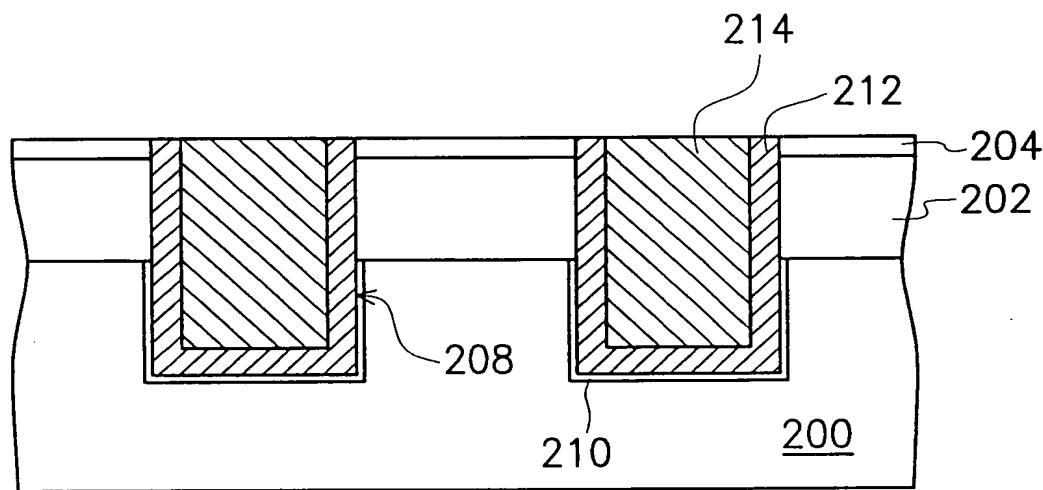
第 2A 圖



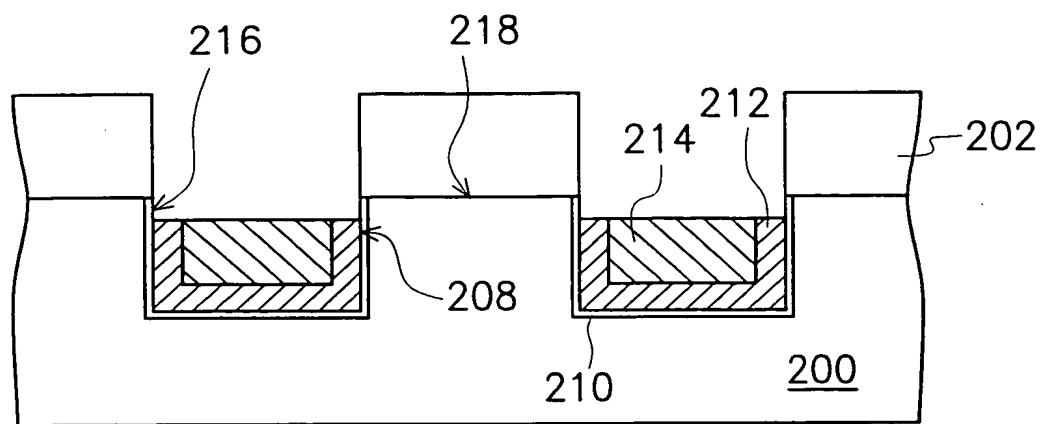
第 2B 圖



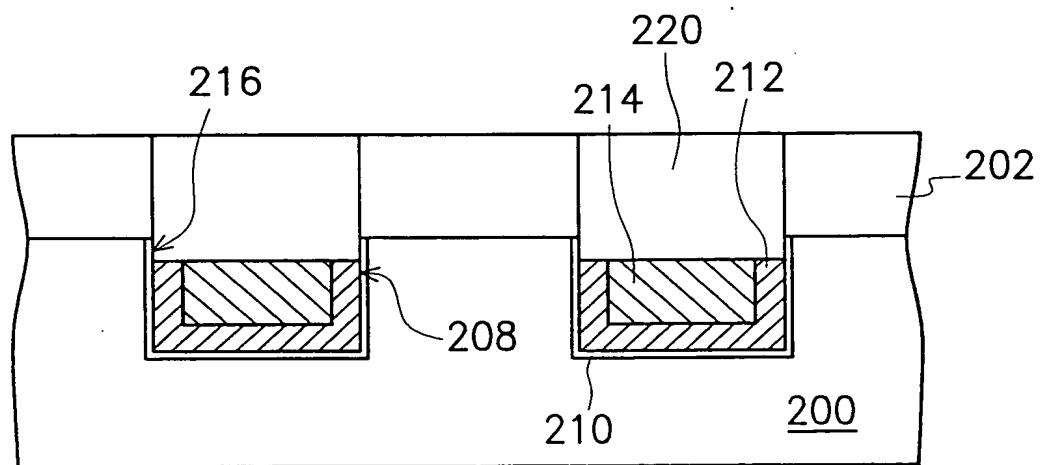
第 2C 圖



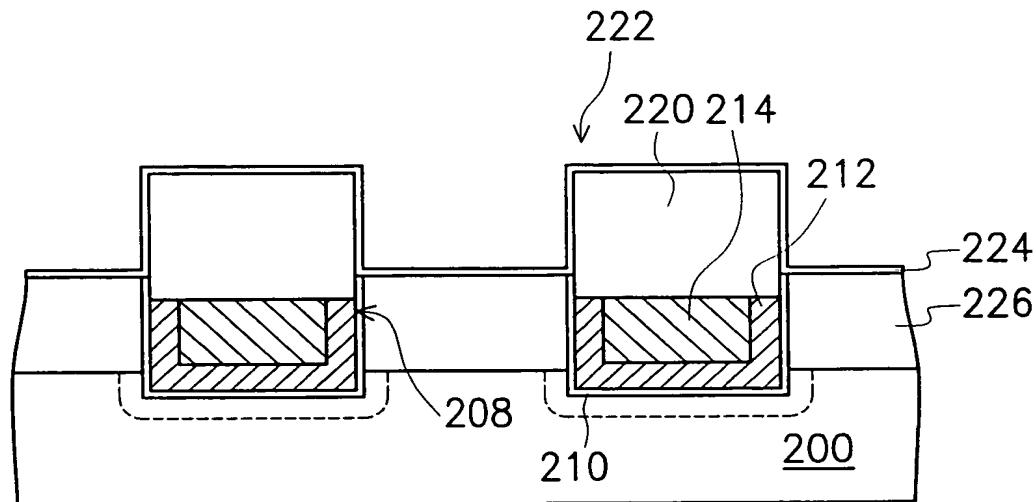
第 2D 圖



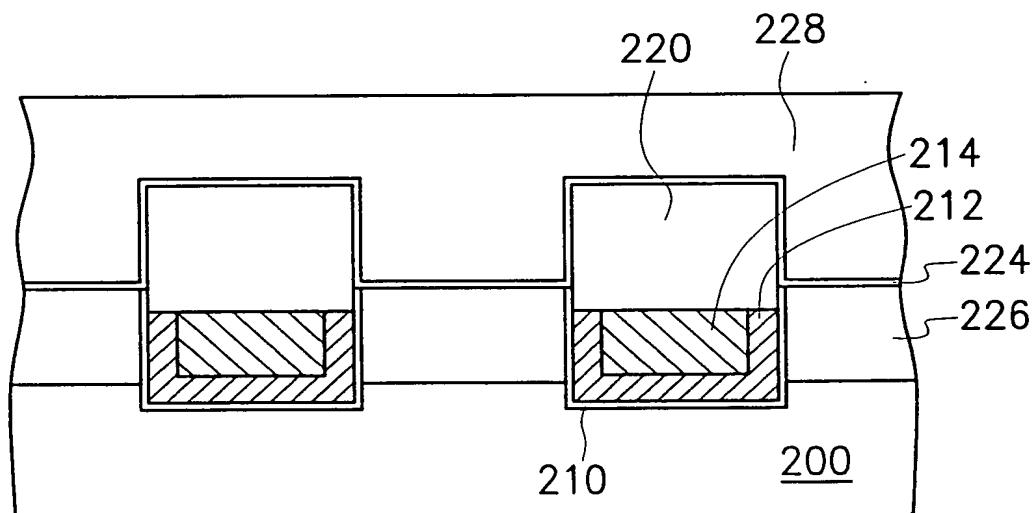
第 2E 圖



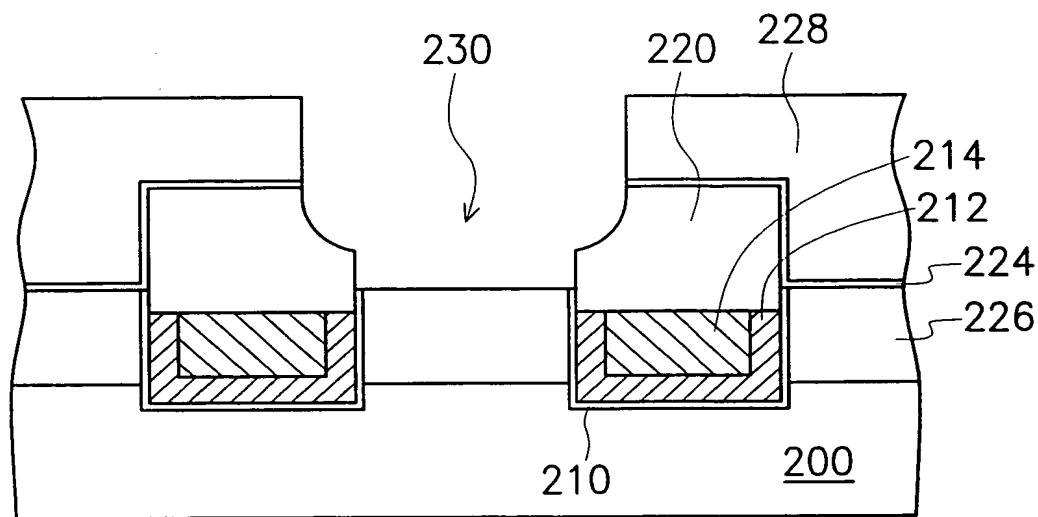
第 2F 圖



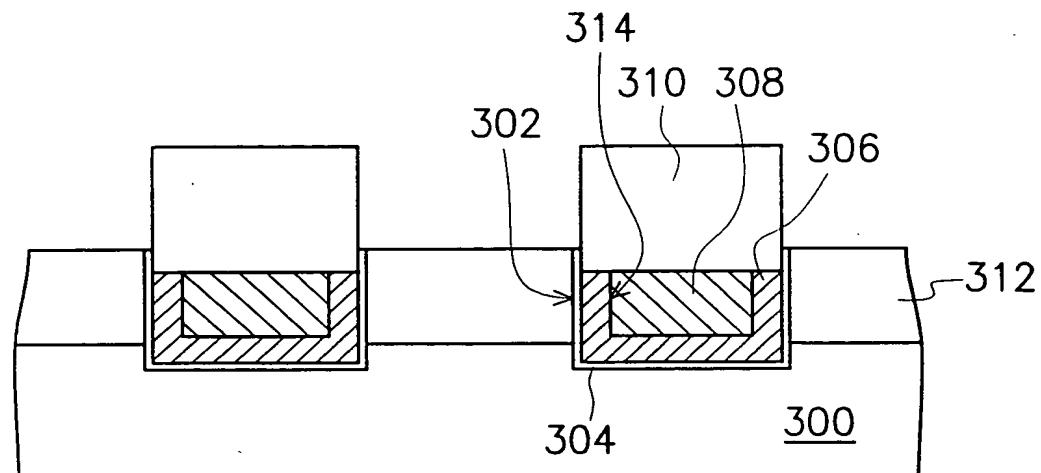
第 2G 圖



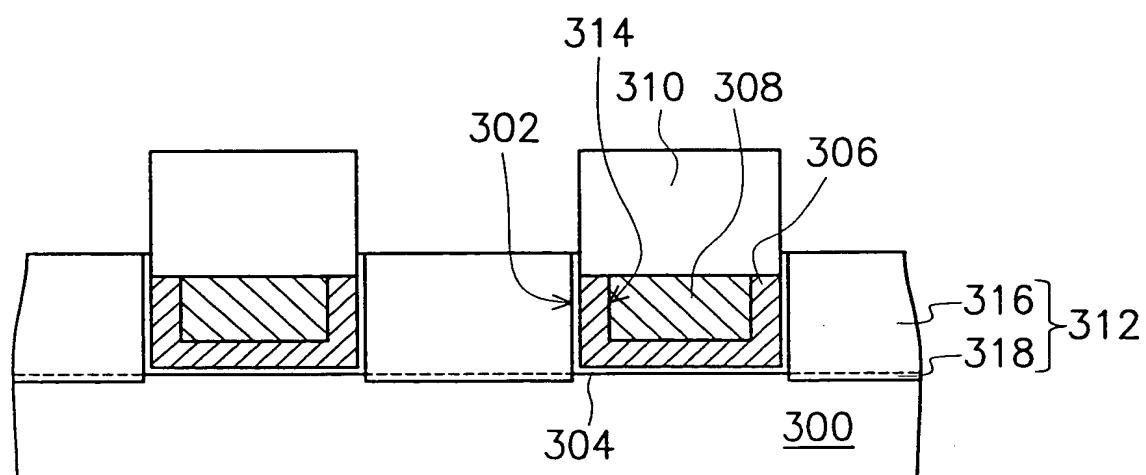
第 2H 圖



第 21 圖

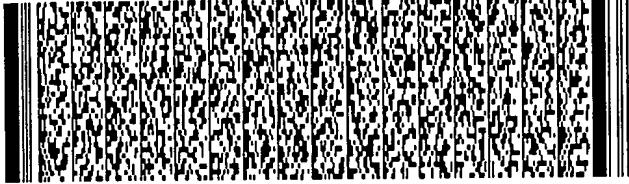


第 3 圖

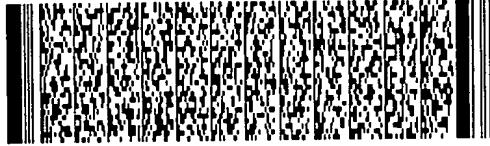


第 4 圖

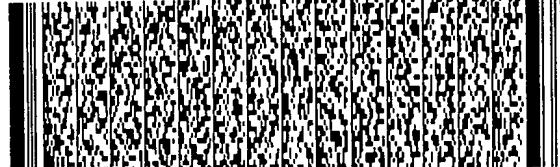
第 1/27 頁



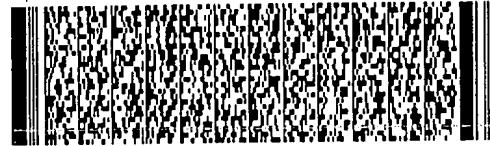
第 3/27 頁



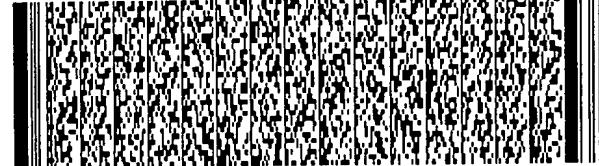
第 4/27 頁



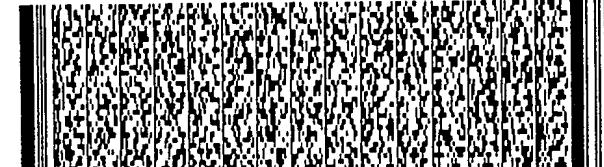
第 6/27 頁



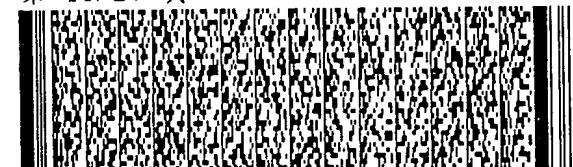
第 8/27 頁



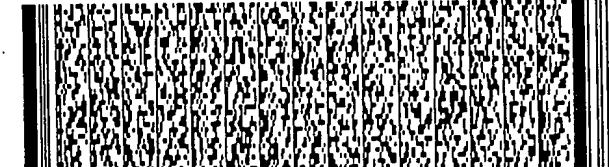
第 9/27 頁



第 10/27 頁



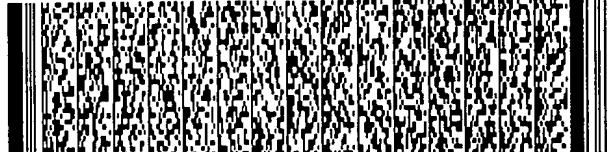
第 11/27 頁



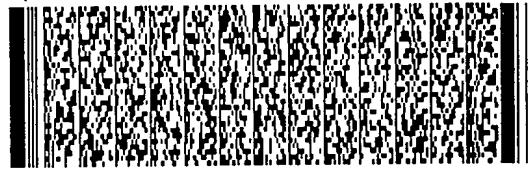
第 2/27 頁



第 4/27 頁



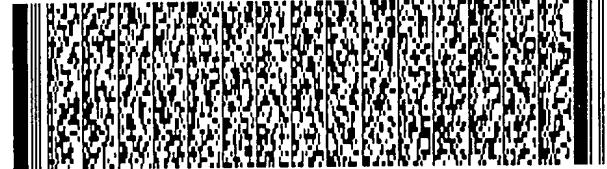
第 5/27 頁



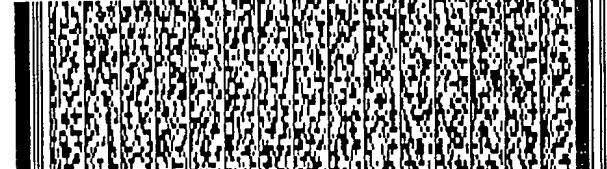
第 7/27 頁



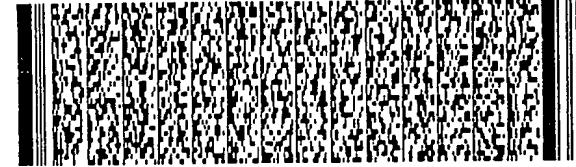
第 8/27 頁



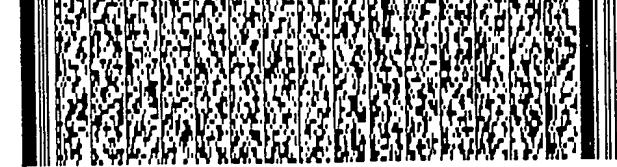
第 9/27 頁



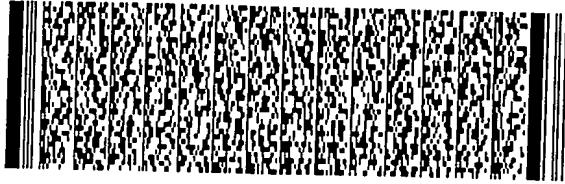
第 10/27 頁



第 11/27 頁



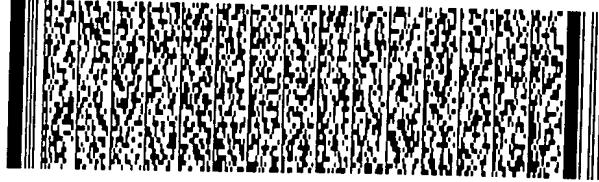
第 12/27 頁



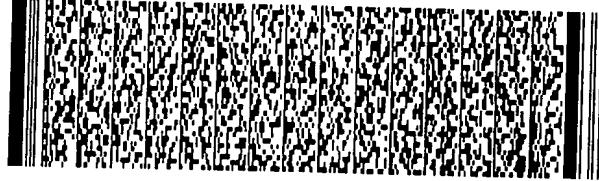
第 12/27 頁



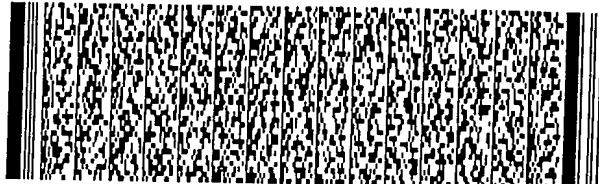
第 13/27 頁



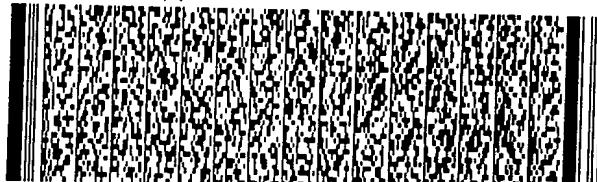
第 13/27 頁



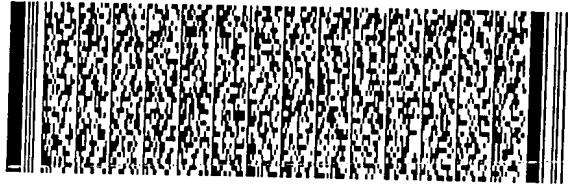
第 14/27 頁



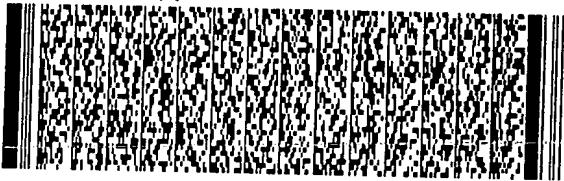
第 14/27 頁



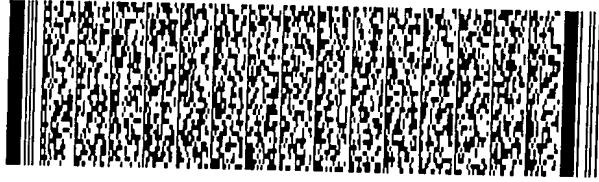
第 15/27 頁



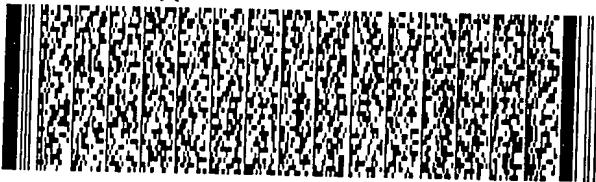
第 15/27 頁



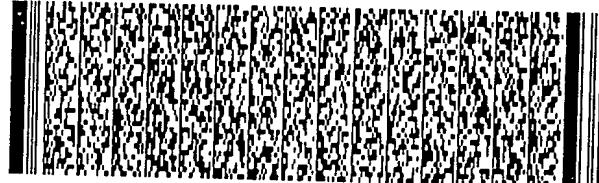
第 16/27 頁



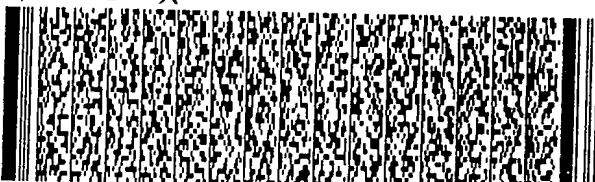
第 16/27 頁



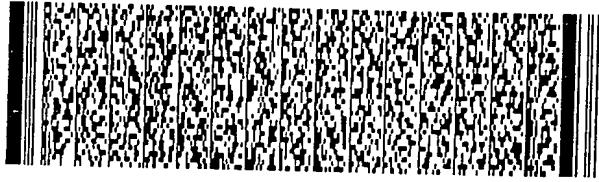
第 17/27 頁



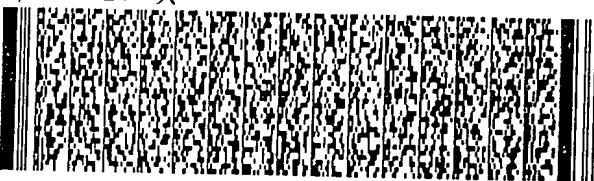
第 17/27 頁



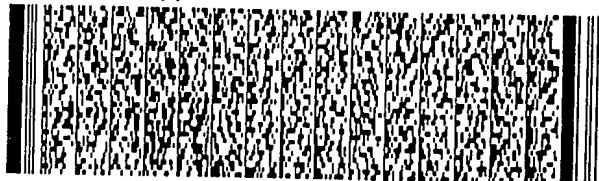
第 18/27 頁



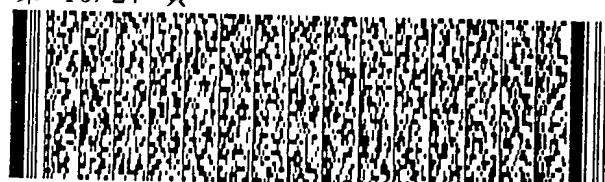
第 18/27 頁



第 19/27 頁



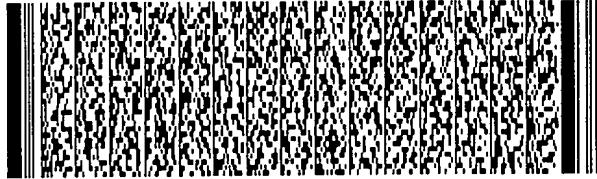
第 19/27 頁



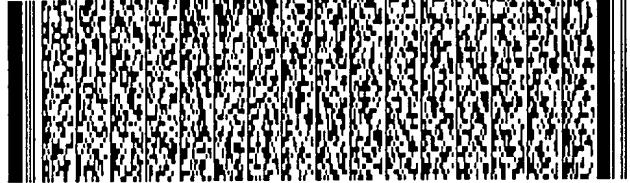
第 20/27 頁



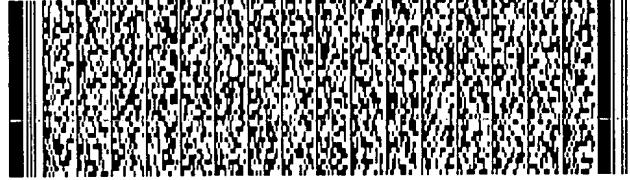
第 21/27 頁



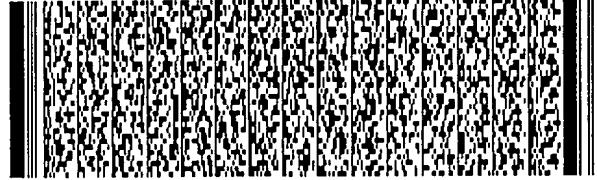
第 23/27 頁



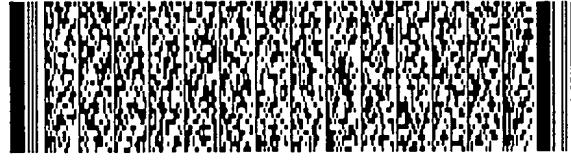
第 25/27 頁



第 27/27 頁



第 20/27 頁



第 22/27 頁



第 24/27 頁



第 26/27 頁

